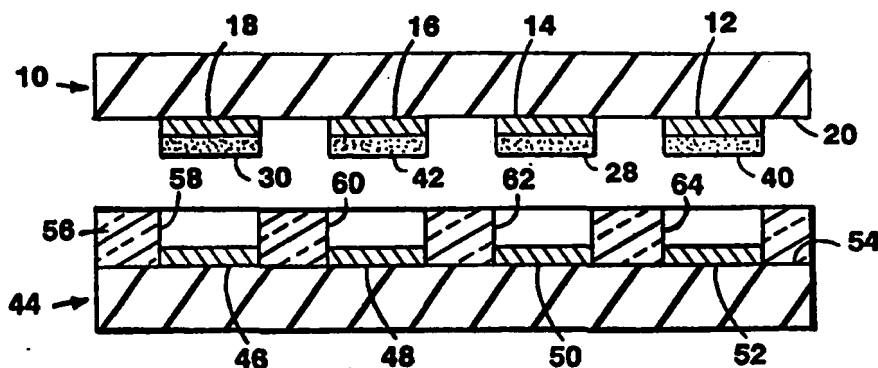


**PCT**WORLD INTELLECTUAL PROPERTY ORGANIZATION  
International Bureau

## INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

<b>(51) International Patent Classification <sup>6</sup>:</b> <b>H01L 21/60, 21/56</b>	<b>A1</b>	<b>(11) International Publication Number:</b> <b>WO 95/05675</b> <b>(43) International Publication Date:</b> 23 February 1995 (23.02.95)
<b>(21) International Application Number:</b> PCT/US94/09227 <b>(22) International Filing Date:</b> 15 August 1994 (15.08.94) <b>(30) Priority Data:</b> 08/107,498 17 August 1993 (17.08.93) US <b>(71) Applicant:</b> EPOXY TECHNOLOGY, INC. [US/US]; 14 Fortune Drive, Billerica, MA 01821 (US). <b>(72) Inventors:</b> KULESZA, Frank, W.; 3 Grant Road, Winchester, MA 01890 (US). ESTES, Richard, H.; 15 Blackstone Circle, Pelham, NH 03076 (US). <b>(74) Agent:</b> SHARKANSKY, Richard, M.; Fish & Richardson, 225 Franklin Street, Boston, MA 02110-2804 (US).		<b>(81) Designated States:</b> JP, KR, European patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  <b>Published</b> <i>With international search report.</i> <i>Before the expiration of the time limit for amending the claims and to be republished in the event of the receipt of amendments.</i>

**(54) Title:** METHOD OF FORMING ELECTRICALLY CONDUCTIVE POLYMER INTERCONNECTS ON ELECTRICAL SUBSTRATES**(57) Abstract**

A method is presented for forming a bumped substrate and for forming an electrical circuit which includes the bumped substrate. The method of forming the bumped substrate includes forming at least one electrically conductive polymer bump on each of a first set of bond pads of the substrate. At least one electrically conductive polymer bump is then formed on each of a second set of the bond pads of the substrate. The circuit is formed by selectively forming an organic protective layer around the bond pads of a second substrate by laser ablation of an organic protective coating on the second substrate. The electrically conductive polymer bumps on the first and second portions of the bond pads of the first substrate are then contacted with the bond pads of the second substrate, thereby forming the electrical circuit.

**FOR THE PURPOSES OF INFORMATION ONLY**

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

AT	Austria	GB	United Kingdom	MR	Mauritania
AU	Australia	GE	Georgia	MW	Malawi
BB	Barbados	GN	Guinea	NE	Niger
BE	Belgium	GR	Greece	NL	Netherlands
BF	Burkina Faso	HU	Hungary	NO	Norway
BG	Bulgaria	IE	Ireland	NZ	New Zealand
BJ	Benin	IT	Italy	PL	Poland
BR	Brazil	JP	Japan	PT	Portugal
BY	Belarus	KE	Kenya	RO	Romania
CA	Canada	KG	Kyrgyzstan	RU	Russian Federation
CF	Central African Republic	KP	Democratic People's Republic of Korea	SD	Sudan
CG	Congo	KR	Republic of Korea	SE	Sweden
CH	Switzerland	KZ	Kazakhstan	SI	Slovenia
CI	Côte d'Ivoire	LI	Liechtenstein	SK	Slovakia
CM	Cameroon	LK	Sri Lanka	SN	Senegal
CN	China	LU	Luxembourg	TD	Chad
CS	Czechoslovakia	LV	Latvia	TG	Togo
CZ	Czech Republic	MC	Monaco	TJ	Tajikistan
DE	Germany	MD	Republic of Moldova	TT	Trinidad and Tobago
DK	Denmark	MG	Madagascar	UA	Ukraine
ES	Spain	ML	Mali	US	United States of America
FI	Finland	MN	Mongolia	UZ	Uzbekistan
FR	France			VN	Viet Nam
GA	Gabon				

- 1 -

METHOD OF FORMING ELECTRICALLY CONDUCTIVE  
POLYMER INTERCONNECTS ON ELECTRICAL SUBSTRATES

5                   Background of the Invention

Integrated circuits have had almost universal application to communication and military technologies for several years. Of increasing importance has been development of microcircuit wafers and methods for  
10 interconnection of the circuits by automated equipment. A primary limitation to application of microcircuit technology has been cost efficiency and reliability of interconnection of integrated circuits on chips because of the small size of the chips, which often require  
15 hundreds of connections to be made within each circuit.

One method of circuit interconnection is called flip chip bonding. Flip chip bonding can offer a shorter signal path and, therefore, more rapid communication between circuits than can other methods, such as tape  
20 automated bonding (TAB) or conventional wire bonding, because bond pads on flip chips are not restricted to the periphery of the chip, but rather are usually located at one face of the chip opposite a substrate. In one method of flip chip bonding, a chip or die is formed with the  
25 requisite integrated circuit and interconnect wiring required for interconnecting the circuit with other chip circuits on a circuit board, such as a separate printed circuit board or substrate. Bond pads are located at points of interconnection. Bumps are formed by plating  
30 of several layers of metals on the bond pads of the flip chips. Following deposition, the chip is heated to reflow the metals, thus causing surface tension of the deposit to form hemispherical solder "bumps." The flip chip is subsequently severed from the wafer of which it

- 2 -

was a part and "flipped" for alignment with the bond pads of a substrate. These bumps are then contacted with the bond pads of the substrate and uniformly heated to simultaneously form interconnects between aligned bond pads of the flip chip and the substrate.

Use of metals to interconnect bond pads of flip chips and substrates has required, however, that passivation of the flip chip be accomplished by use of a metal barrier such as titanium (Ti), tungsten (W) or silicon nitride ( $\text{Si}_3\text{N}_4$ ). Both the metal, as a passivation (or barrier) material, and ceramic, as a substrate material, are generally necessitated to allow sufficient heating to enable reflow of the solder bumps for interconnection between the flip chip and the substrate without consequential damage to either.

Fabrication of circuits using bumped flip chips have also been limited by the inability to visually inspect interconnections between the flip chip and the substrate. Further, the yield of finished mounted circuits can be detrimentally affected by failure of interconnects caused by the difference between the coefficients of thermal expansion of the various materials comprising the flip chip, the passivation layer, the solder bumps and the substrate. Also, melting of the solder bumps creates an electrically conductive flux as an undesirable byproduct which generally must be removed from between the substrate and the flip chip to allow proper operation of the finished circuit.

Problems of heat stress during fabrication have been addressed by various methods, such as by rapid application of heat to a bumped flip chip and rapid conduction of heat from the solder interconnects in order to minimize damage to flip chips, substrates and interconnections due to internal stresses caused by

- 3 -

thermal expansion and contraction. However, this method is very expensive.

Therefore, a need exists for a method of interconnection substrates such as flip chips, lead frames, multichip modules and printed circuit boards, which is fast, cost-effective and reliable. Also, there is a demand for a simplified method of interconnecting substrates which eliminates the need for elaborate plating procedures. Further, a method which enables greater flexibility of passivation and choice of substrate is also desirable. These improvements could promote cost efficiency and broaden the applications for which microcircuits are suitable.

#### Summary of the Invention

The present invention relates to a method of forming electrical interconnection bumps on bond pads of a substrate. In accordance with the present invention, an electrically conductive polymer bump is formed on each of a first set of bond pads of a substrate. An electrically conductive polymer bump is then formed on each of a second set of the bond pads of the substrate.

In one specific embodiment of the invention, a first template is aligned over the substrate. The template has openings which coincide with each of the first set of bond pads of the substrate. Bumps of electrically conductive polymer are formed on each of the first set of bond pads by directing the electrically conductive polymer through said aligned openings of the first template and onto each of the first set of bond pads. The first template is then removed from the substrate and a second template is aligned over the substrate. The second template has openings which coincide with each of the second set of the bond pads of the substrate. Bumps of electrically conductive polymer are then formed on each of the second set of bond pads by

- 4 -

directing the electrically conductive polymer through said aligned openings of the second template and onto each of the second set of bond pads. The second template is then removed from the substrate.

5 Further, an electrical circuit can be formed by the method of the invention. A second substrate is coated with an organic protective layer. Bond pads on the second substrate which coincide with the bond pads on the first substrate are exposed by laser ablation of the  
10 organic coating. The electrically conductive polymer bumps are then contacted with the bond pads of the second substrate to form the electrical circuit.

Formation of electrically conductive polymer bumps in two separate steps allows the formation of distinct  
15 polymer bumps in very close proximity to each other. Resulting distances, or pitch, between of at least about six millimeters.

Also, organic protective coatings can be selectively formed on substrates by removing portions of  
20 the coating by laser ablation. Bond pads on the substrate are thereby exposed for contact with electrically conductive polymer bumps on another substrate. Laser ablation allows precise control over the dimension of the openings formed in the organic  
25 protective layer. Also, residual coating remaining on the exposed bond pad is nominal when laser ablation is employed.

Further, forming an electrical circuit by a method which includes contacting electrically conductive bumps  
30 on a first substrate with bond pads of a second substrate having a selectively formed dielectric coating eliminates resultant void space between the substrates. Consequently, the need to underfill void space is also eliminated. In addition, the organic protective layer  
35 provides improved strength of the resultant circuit and

- 5 -

typically has an improved thermal conductivity relative to known underfill materials. The present method also forms circuits which are protected from attack by moisture and essentially eliminates the potential for formation of voids between the substrate of the circuit.

#### Brief Description of the Drawing

Figure 1 is a plan view of one embodiment of a substrate employed by the method of the present invention.

10        Figure 2 is a section view of the substrate of Figure 1 taken along line II-II, and after a first template has been placed over the substrate.

      Figure 3 is a section view of the substrate and template shown in Figure 2 after electrically conductive  
15        polymer bumps have been formed on a first set of bond pads at the substrate.

      Figure 4 is a section view of the substrate and electrically conductive bumps as shown Figure 3, following removal of the template.

20        Figure 5 is a section view of the electrically conductive bumps and substrate shown in Figure 4, and of a second template placed over the substrate and electrically conductive polymer bumps.

      Figure 6 is a section of view of the substrate and  
25        template shown in Figure 5 after an electrically conductive bump has been formed on a second set of the bond pads at the substrate.

      Figure 7 is a section view of the electrically conductive bumps formed on the bond pads of the substrate  
30        after the second template has been removed.

      Figure 8 is a section view of a second substrate suitable for use in an optional embodiment of the invention.

- 6 -

Figure 9 is a section view of the substrate shown in Figure 8 following coating of the substrate and bond pads of the substrate with an organic protective layer, according to the method of the present invention.

5        Figure 10 is a section view on the substrate and organic protective layer shown in Figure 9 following laser ablation of portions of the organic protective layer which cover the bond pads of the substrate.

10       Figure 11 is a section view of the substrate and laser ablated organic protective layer of Figure 10, and of the substrate of Figure 7, having electrically conductive polymer bumps at the bond pads of the substrate.

15       Figure 12 is a section view of an electrical circuit formed by contacting the electrically conductive polymer bumps at the first substrate with the bond pads at the second substrate, whereby void space between the first and second substrate is eliminated by the organic protective layer formed on the second substrate.

20       Description of the Preferred Embodiments

The above features and other details of the invention, either as steps of the invention or as combinations of parts of the invention, will now be more particularly described with reference to the accompanying drawings and pointed out in the claims. It will be understood that the particular embodiments of the invention are shown by way of illustration and not as limitations of the invention. The principle feature of the invention may be employed in various embodiments without departing from the scope of the invention.

30       In one embodiment of the method of the present invention, a suitable substrate 10, such as that shown in Figure 1, has electrical bond pads 12,14,16,18 on upper planar surface 10 of the substrate. Examples of suitable



- 7 -

substrates include flip chip dies, lead frames, multichip modules printed circuit boards, etc. Substrate 10 is formed of a suitable material, such as silicon, gallium arsenide, germanium or some other conventional semiconductor material.

As can be seen in figure 2, a first template 22 is placed over upper planer surface 20 of substrate. First template 22 has openings 24, 26 which are aligned with bond pads 14, 18 which are a first set of the bond pads of substrate 10 is covered by template 22.

As defined herein, the first set of bond pads of substrate 10 are those bond pads which are exposed by placement of the first template on substrate 10. The second set of the bond pads, as defined herein, are those bond pads which are covered by placement of the first template on substrate 10. In a specific embodiment, at least one bond pad of the second set of bond pads is located between bond pads of the first set. As seen in Fig. 2, bond pads 14, 18 represent the first set and bond pads 12, 16 represent the second set of the bond pads of substrate 10.

First template 22 is suitable for screen printing electrically conductive polymer bumps onto the first portion of bond pads of substrate 10. An example of a suitable template is a Laseretch stencil, commercially available from IRI.

Typically, the distance between the centers of bond pads of the first portion from the centers of bond pads of the second portion, also known as "pitch," is in the range of between about 1 and five millimeters. Generally, the pitch between bond pads of the second set is greater than about two millimeters. It is to be understood, however, that the pitch between bond pads of the first portion from bond pads of the second set can be greater than five millimeters. Also, bond pads on

- 8 -

substrate 10 can be arranged peripherally, in a staggered arrangement, or in an array on upper planar surface of the substrate 10.

As shown in Figure 3, electrically conductive  
5 polymer bumps 28,30 are formed by directing the electrically conductive polymer through openings 24,26, respectively, of template 22 and onto the first set of the bond pads of substrate 10. Typically, electrically conductive bumps 28,30 are formed of a B-stage polymer or  
10 a thermoplastic polymer. The electrically conductive polymer bumps can be gold-filled, silver-filled, or filled with some other electrically conductive polymer bumps 28,30 is about flush with an upper surface 32 of template 22. Template 22 is then removed from substrate  
15 10, thereby leaving free-standing electrically conductive polymer bumps 28,30 on the first set of bond pads of substrate 10, as shown in Figure 4.

Second template 34 is then placed over substrate 10 and electrically conductive polymer bumps 28,30 at the  
20 first set of the bond pads, as shown in Figure 5. Second template 34 includes openings 36,38. The openings of second template 34 are aligned with bond pads 12, 16 which represent the second set of the bond pads of substrate 10. Second template 34 is of the same type of  
25 construction, and is fabricated in the same way, as first template 22, except that openings 36,38 of second template 34 are aligned with the second set of bond pads, rather than with the first set of bond pads.

As shown in Figure 6, electrically conductive  
30 polymer bumps 40,42 are formed by a suitable method, such as stenciling, whereby the electrically conductive polymer is directed through openings 36,38 of second template 34 onto the second set of bond pads, which are bond pads 12,16. However, the height of the electrically  
35 conductive polymer bumps 40,42 formed on the second set

- 9 -

of the bond pads is about the same as that of the electrically-conductive bumps formed on the first set of the bond pads. Any resultant differences in heights between the electrically conductive polymer bumps formed  
5 on the first set of bond pads and of and of the bumps formed on the second set of bond pads is small enough not to affect the formation of electrical interconnections between substrate 10 and a second substrate during fabrication of an electrical circuit. As shown in Figure  
10 7, following removal of second template 34, electrically conductive polymer bumps 28,30,40,42 extend from the first and second sets of the bond pads of substrate 10.

Optionally, an organic protective layer, not shown, can be formed on substrate 10 either prior to, or  
15 following, formation of the electrically conductive polymer bumps, as described in U.S. 5,237,130, the teachings of which are incorporated by reference. Generally, however an organic protective layer will be formed on upper planar surface 20 of substrate 10 only as  
20 a heat sink, which is employed during operation of the fabricated electrical circuit that includes substrate 10.

As can be seen in Figure 8, second substrate 44 includes bond pads 46,48,50,52. Examples of suitable substrates include flip chips, lead frames, multichip  
25 modules and printed circuit boards. Bond pads 46,48,50,52 can be arranged in a peripheral pattern about upper surface 54 of substrate 44, in a staggered pattern, or in an array. Generally, bond pads 46,48,50,52 of second substrate 44 are arranged for alignment with  
30 electrically conductive polymer bumps 28,30,40,42 of first substrate 10.

Organic protective layer 56 is formed over substrate 44 and bond pads 46,48,50,52 of substrate 44 by a suitable method. Optionally, substrate 44 can be  
35 passivated with silicon nitride or an oxide layer, not

- 10 -

shown, before formation of organic protective layer 56. Organic protective layer 56 is preferably a dielectric polymer. An example of a organic material suitable for application in the present invention is Epo-Tek®,

5 manufactured Epoxy Technology, Inc. Organic protective layer 56 passivates and thereby insulates and protects underlying surface 54 of second substrate 44.

Bond pads 46,48,50,52 of second substrate 44 are then exposed by laser ablation of organic protective  
10 layer 44 to form openings 58,60,62,64. Preferably, laser ablation is preformed by employing an Excimer-type laser. Preferably, the thickness of organic protective layer 56 is about equal to the combined thickness of bond pads 12,14,16,18,46,48,50,52 of first and second substrates,  
15 and of electrically conductive polymer bumps 28,30,40,42.

As shown in Figure 11, electrically conductive polymer bumps 28,30,40,42 at bond pads 12,14,16,18, of first substrate 10 are aligned with bond pads 46,48,50,52 of second substrate 44. Then, shown in Figure 12,  
20 electrically conductive polymer bumps 28,30,40,42 are contacted with bond pads 46,48,50,52 of second substrate 44, thereby forming an electrical circuit of the first and second substrates. Typically, an adhesive, not shown is formed on bond pads 46,48,50,52 of second substrate 44  
25 before electrically conductive polymer bumps 28,30,40,42 are contacted to bond pads 46,48,50,52 of second substrate 44. Examples of adhesives which can be used includes theromsets, thermoplastics and polymer thick film. Adhesive is typically formed on substrate bond  
30 pads 46,48,50,52 by screen printing, templating, or by some other conventional method.

In a preferred embodiment, first substrate 10 is aligned over second substrate 44 by an aligner bonder, such as a Model M-8 aligner bonder, manufactured by

- 11 -

Research Devices, Division of the America Optical Corporation.

Equivalents

Although preferred embodiments have been  
5 specifically described and illustrated herein, it will be appreciated that many modifications and variations of the present invention are possible, in light of the above teachings, within the purview of the following claims, without departing from the spirit and scope of the  
10 invention. For example, while the discussion is directed to a single substrate, or to two substrates to form only one circuit, it is to be understood that the concept can be readily expanded to include more substrates, with bond pads on each, bonded to form a plurality of circuits.

15

- 12 -

## CLAIMS:

1. A method of forming interconnection bumps on bond pads of a substrate, comprising the steps of:
  - a) forming an electrically conductive polymer bump on a first bond pad of the substrate; and thereafter
  - 5       b) forming an electrically conductive polymer bump on a second bond pad of the substrate.
  
2. A method of forming interconnection bumps on bond pads of a substrate, comprising the steps of:
  - a) forming an electrically conductive polymer
  - 10 bump on each of a first set of bond pads of the substrate; and thereafter
  - b) forming an electrically conductive polymer bump on each of a second set of bond pads of the substrate.
  
- 15       3. A method of Claim 2 wherein at least one bond pad of the first set is located between two bond pads of the second set.
  
4. A method of forming interconnection bumps on bond pads of a substrate, comprising the steps of:
  - 20       a) aligning a first template over the substrate, said first template having openings which coincide with each of a first set of bond pads of the substrate;
  - b) forming bumps of electrically conductive polymer on the first set of bond pads by directing the
  - 25 electrically conductive polymer through said aligned openings of the first template and onto each of said first set bond pads;
  - c) removing the first template over the substrate;
  - 30       d) aligning a second template over the substrate, said second template having openings which coincide with each of a second set of bond pads of the substrate;

- 13 -

e) forming bumps of electrically conductive polymer on the second set of bond pads by directing the electrically conductive polymer through said aligned openings of the second template and onto each of said  
5 second set of bond pads; and

5. A method of Claim 4 wherein the electrically conductive polymer bumps are formed on the bond pads of a flip chip.

6. A method of Claim 4 wherein the electrically  
10 conductive polymer bumps are formed on the bond pads of a multichip module.

7. A method of Claim 4 wherein the electrically conductive polymer bumps are formed on the bond pads of a lead frame.

15 8. A method of Claim 4 wherein the electrically conductive polymer bumps are formed on the bond pads of a printed circuit board.

9. A method of Claim 4 wherein the electrically conductive bumps are formed on bond pads that are  
20 arranged in a peripheral pattern on the substrate.

10. A method of Claim 4 wherein the electrically conductive bumps are formed on bond pads that are arranged in a staggered pattern on the substrate.

11. A method of Claim 4 wherein the electrically  
25 conductive bumps are formed in bond pads that are arranged in a array on the substrate.

12. A method of Claim 4 wherein the average distance between bond pads of the first portion and bond

- 14 -

pads of the second portion is between about one and six millimeters.

13. A method of Claim 4 wherein thermoplastic electrically conductive polymer bumps are formed on the  
5 bond pads.

14. A method of Claim 4 wherein the B-stage polymer electrically conductive bumps are formed on the bond pads.

15 15. A method of Claim 4 wherein thermoset electrically conductive polymer bumps are formed on the bonds pads.

16. A method of Claim 4 further including the step of forming an organic protective layer over a surface of the substrate.

15 17. A method of Claim 4 further including the steps of aligning the electrically conductive bumps with the bond pads of a second substrate and then contacting the electrically conductive polymer bumps with the bond pads of said second substrate, thereby forming electrical  
20 interconnections between said substrates.

18. A method of claim 4 further including the steps of selectively forming an organic protective layer on a second substrate exposed, and then contacting the electrically conductive polymer bumps with the bond pads  
25 of said second substrate, thereby forming electrical interconnections between said substrates.

19. A method of Claim 18 wherein the organic protective layer is selectively formed by coating the second substrate with the organic protective layer and



- 15 -

then removing portions of the organic protective layer which cover the bond pads of said second substrate.

20. A method of Claim 19 wherein the portions of the organic protective layer which cover the bond pads  
5 are removed by laser ablation.

21. A method of selectively forming an organic protective layer on substrate, comprising the steps of:  
a) layer; and  
b) removing portions of the organic protective  
10 layer which cover bond pads of the substrate.

22. A method of Claim 21 wherein portions of the organic protective layer which cover the bond pads are removed by laser ablation.

23. A method of forming an electrical circuit,  
15 comprising the steps of:  
a) forming electrically conductive bumps on bond pads of a first substrate;  
b) selectively forming an organic protective layer on a second substrate exposed; and  
20 c) contacting the electrically conductive bumps with the bond pads of the second substrate, thereby forming electrically interconnections between said substrate.

24. A method of Claim 23, wherein the  
25 electrically conductive bumps are formed on the bond pads of the first substrate by a method comprising the steps of:

a) forming an electrically conductive polymer bump on each of a first set of bond pads of the first  
30 substrate; and

- 16 -

b) forming an electrically conductive polymer bump on each of a second set of bond pads of the first substrate.

25. A method of Claim 24 wherein at least one  
5 bond pad of said second set is located between at least two bond pads of said second set.

26. A method of Claim 25 wherein the organic  
protective layer is formed by forming an organic  
protective coating on the second substrate and then  
10 removing the portion of the organic protective layer  
which covers the bond pads by laser ablation.

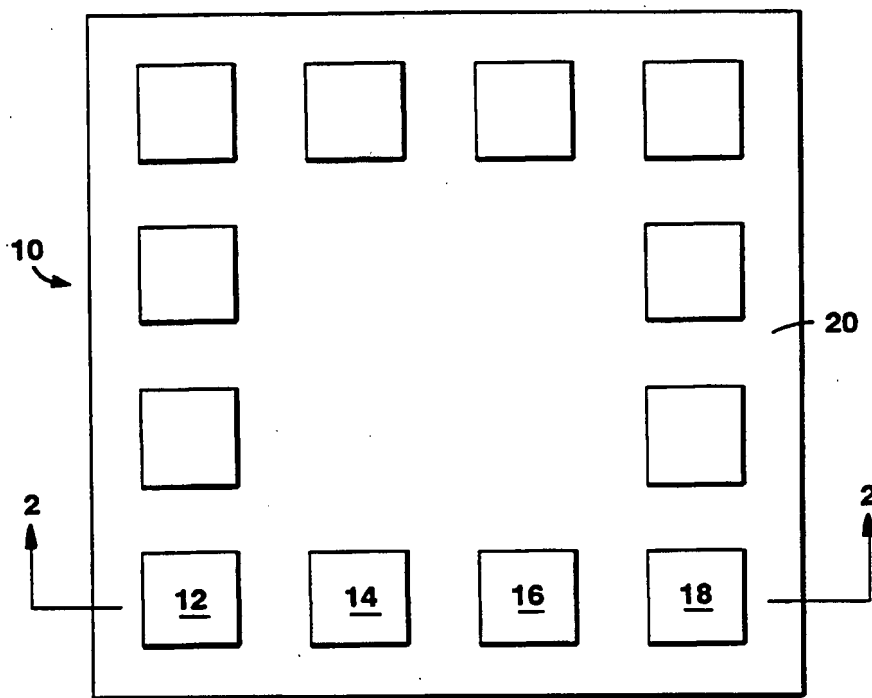


FIG. 1

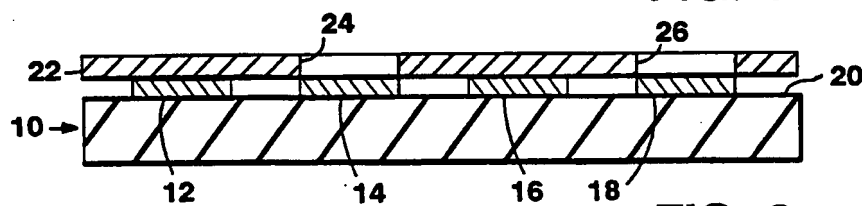


FIG. 2

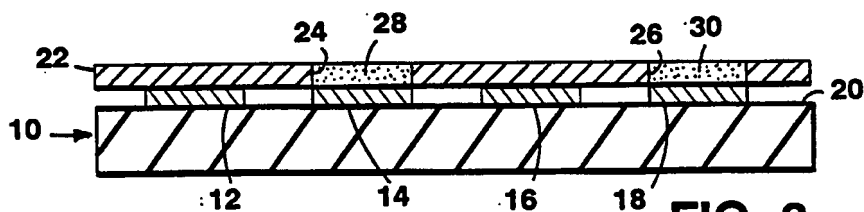


FIG. 3

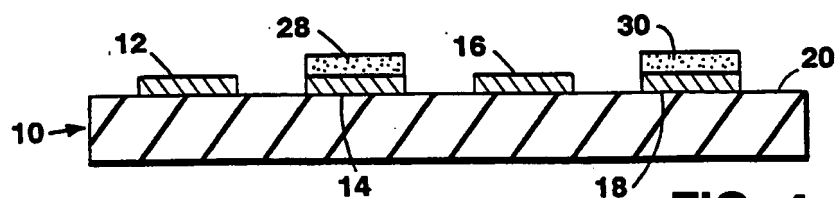


FIG. 4

SUBSTITUTE SHEET (RULE 26)

2/3

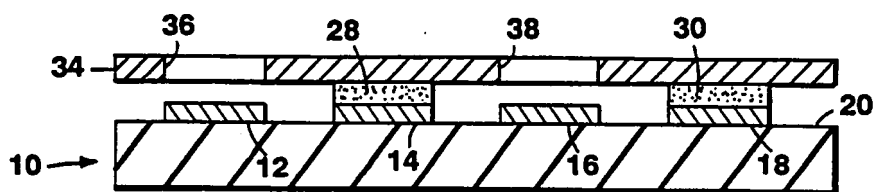


FIG. 5

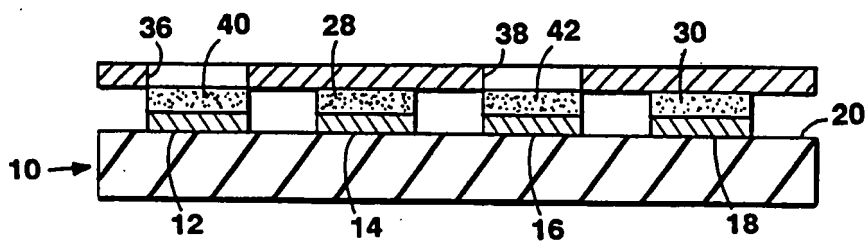


FIG. 6

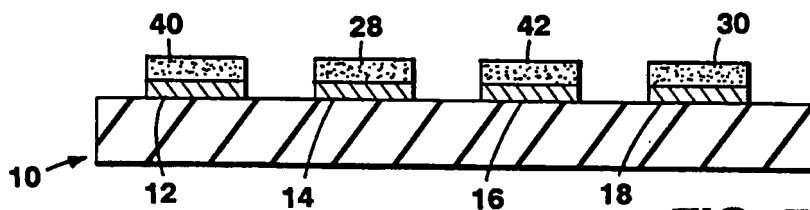


FIG. 7

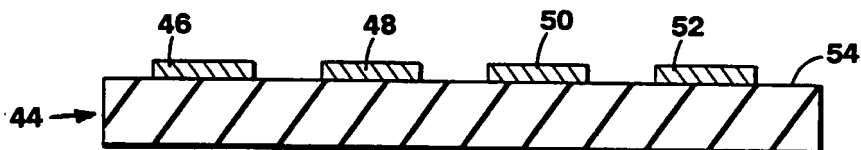


FIG. 8

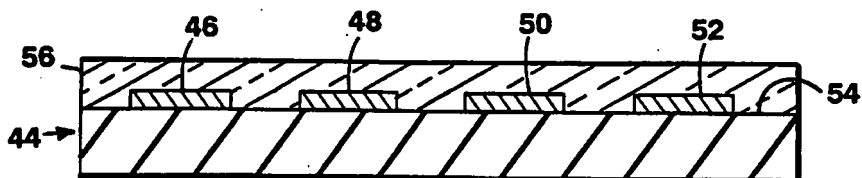
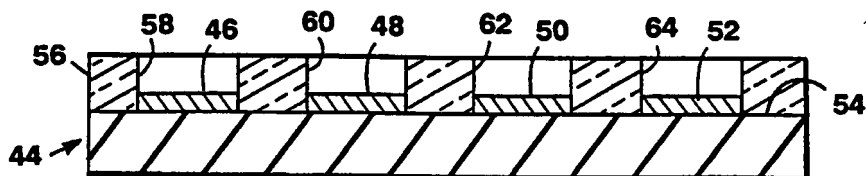


FIG. 9



SUBSTITUTE SHEET (RULE 26)

FIG. 10

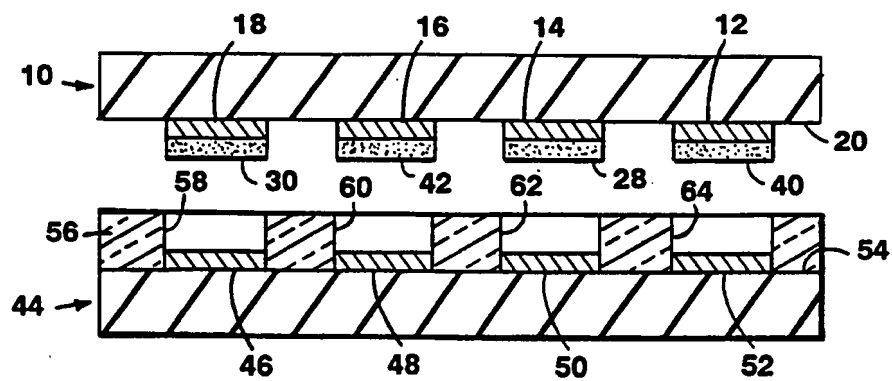


FIG. 11

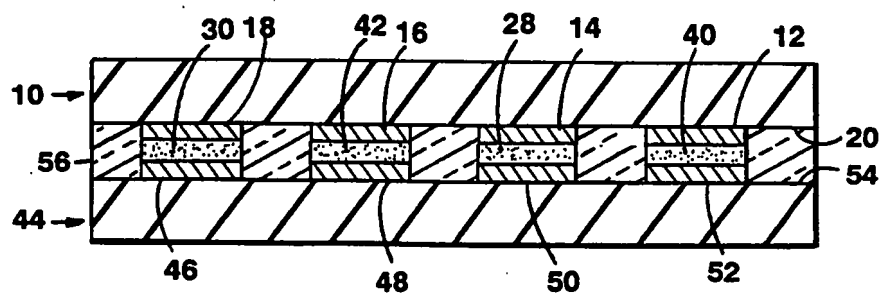


FIG. 12

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US 94/09227

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 6 H01L21/60 H01L21/56

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE,A,26 58 302 (K.K. SUWA SEIKOSHA) 7 July 1977 see page 4, line 17 ---	1
X	WO,A,91 09419 (EPOXY TECHNOLOGY) 27 June 1991 cited in the application see the whole document ---	1,2
X	WO,A,92 07378 (ROBERT BOSCH GMBH) 30 April 1992 see the whole document ---	1,2
A		3-20
X	PATENT ABSTRACTS OF JAPAN vol. 6, no. 55 (E-101) 10 April 1982 & JP,A,56 167 340 (TOSHIBA) 23 December 1981 see abstract ---	1,2
A		3-20
-/--		

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

### \* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*&\* document member of the same patent family

Date of the actual completion of the international search

25 October 1994

Date of mailing of the international search report

31.01.95

Name and mailing address of the ISA  
European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+ 31-70) 340-3016

Authorized officer

PROHASKA, G

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US 94/09227

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 14, no. 222 (E-926) 10 May 1990 & JP,A,02 054 945 (TOSHIBA) 23 February 1990	1,2
A	see abstract ---	3-20
A	EP,A,0 473 976 (SIEMENS) 11 March 1992 see abstract; claims; figure 2 ---	5-8
A	PATENT ABSTRACTS OF JAPAN vol. 12, no. 177 (E-613) 25 May 1988 & JP,A,62 283 644 (MITSUBISHI ELECTRIC) 9 December 1987 see abstract -----	5-8

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/US 94/ 09227

## Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see annexed sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-20

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.



1. Claims 1-20: Forming electrically conductive polymer bumps on a substrate.
2. Claims 23-26: Connecting two substrates.
3. Claims 21-22: Formation of a protective layer.

The problem posed in subject matter 1 is according to the description on page 3, 3rd paragraph: "a need exists for a method of interconnecting substrates such as ... which is fast, cost-effective and reliable". On the same page the summary of the invention teaches: "the present invention relates to a method of forming electrical interconnection bumps on bond pads of a substrate, ... an electrically conductive polymer bump is formed on each of a first set of bond pads of a substrate". The problem solution is therefore the simultaneous forming of polymer bumps on a certain set of pads followed by the formation of bumps on another set of pads. This subject matter is referred to and sought protection by claims 1-20. Indeed DE-A-26 58 302 cited in the search report in hand teaches on page 4, lines 16-19 the make of a polymer bump by means of an "Injektions methode", which anticipates the make of single bumps of their own. The man skilled in the art would easily recognize the possibility of performing this task for all bumps simultaneously. This document and as well WO 91/09419 and WO 92/07378 increase the effectiveness of the fabrication by screen printing all bumps in a single step.

Referring now to claims 23-26 a "method of forming an electrical circuit" is described. The common feature to the technical subject matter described in the first paragraph of this note and in claims 1-20 is "forming electrically conductive bumps on bond pads of a first substrate". This is a feature as it is well known by the man skilled in the art being aware of the cited documents in hand. Therefore those bumps cannot be regarded special technical features in common to claims 1-20 and claims 23-26. No other special technical features in common can be spotted, therefore non-unity exists. Furthermore a search of the in claim 23-26 disclosed subject matter would have caused a major additional searching effort.

## INVITATION TO PAY ADDITIONAL FEES

International application No.  
PCT/US 94/09227

Referring not to claims 21-22 a "method of selectively forming an organic protective layer on a substrate" is claimed. This subject matter shows no common technical features with the subject matter claimed for in claims 1-20 solving the above defined problem. Because no common technical features can be detected there exists non-unity to subject matter 1. Nevertheless, as there exists a common feature between claims 21 and 23, i.e.: "an organic protective layer with portions of it removed", claims 21-22 could be interpreted as an intermediate product of claims 23-26. The feature of such an intermediate isolating layer used in a circuit in question, which is known from WO-A 91/09419 and JP-A 56 167340 cited in the search report in hand anticipates this as a special technical feature. Furthermore is the method of "selectively forming an organic layer" not identical to "forming an organic layer on a substrate after which portions of the same are removed". Therefore non-unity exists between claims 21-22 and 23-26 as well. Furthermore would have a search of the in claim 21-22 disclosed subject matter caused a major additional searching effort.

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.  
PCT/US 94/09227

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE-A-2658302	07-07-77	JP-A- 52079773 GB-A- 1525148	05-07-77 20-09-78
WO-A-9109419	27-06-91	US-A- 5074947 EP-A- 0506859 US-A- 5196371 US-A- 5237130	24-12-91 07-10-92 23-03-93 17-08-93
WO-A-9207378	30-04-92	DE-A- 4032397 EP-A- 0552195 JP-T- 6501816	16-04-92 28-07-93 24-02-94
EP-A-0473976	11-03-92	DE-D- 59103656 US-A- 5270260	12-01-95 14-12-93

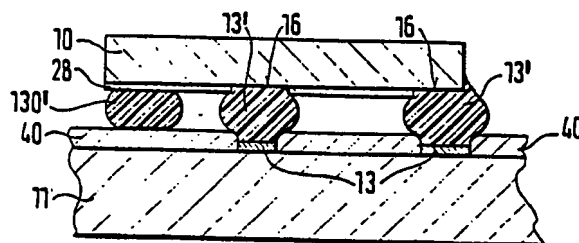


<b>(51) Internationale Patentklassifikation 5 :</b>  <b>H01L 21/60</b>	<b>A1</b>	<b>(11) Internationale Veröffentlichungsnummer:</b> <b>WO 92/07378</b> <b>(43) Internationales Veröffentlichungsdatum:</b> 30. April 1992 (30.04.92)
--	-----------	---

<b>(21) Internationales Aktenzeichen:</b> PCT/DE91/00789 <b>(22) Internationales Anmeldedatum:</b> 9. Oktober 1991 (09.10.91)  <b>(30) Prioritätsdaten:</b> P 40 32 397.8                      12. Oktober 1990 (12.10.90)    DE  <b>(71) Anmelder (für alle Bestimmungsstaaten ausser US):</b> ROBERT BOSCH GMBH [DE/DE]; Postfach 10 60 50, D-7000 Stuttgart 10 (DE).  <b>(72) Erfinder; und</b> <b>(75) Erfinder/Anmelder (nur für US) :</b> GADEMANN, Lothar [DE/DE]; Suelchenstraße 42, D-7407 Rottenburg (DE). FLOHRS, Peter [DE/DE]; Wallensteinstraße 38, D-7410 Reutlingen 11 (DE). HARTMANN, Juergen [DE/DE]; Kaiserstraße 27, D-7410 Reutlingen (DE).	<b>(81) Bestimmungsstaaten:</b> AT (europäisches Patent), BE (europäisches Patent), CH (europäisches Patent), DE (europäisches Patent), DK (europäisches Patent), ES (europäisches Patent), FR (europäisches Patent), GB (europäisches Patent), GR (europäisches Patent), IT (europäisches Patent), JP, LU (europäisches Patent), NL (europäisches Patent), SE (europäisches Patent), US.  <b>Veröffentlicht</b> <i>Mit internationalem Recherchenbericht.</i>
---	---

**(54) Title: PROCESS FOR PRODUCING A HYBRID SEMICONDUCTOR STRUCTURE AND SEMICONDUCTOR STRUCTURE THUS PRODUCED**

**(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINER HYBRIDEN HALBLEITERSTRUKTUR UND NACH DEM VERFAHREN HERGESTELLTE HALBLEITERSTRUKTUR**



**(57) Abstract**

A process for producing a hybrid semiconductor structure and a hybrid semiconductor structure thus produced are disclosed. The assembled hybrid semiconductor structure contains a flat substrate (11) with at least two substrate connexion spots (13) and a semiconductor chip or wafer substrate (10) with at least two chip connexion spots (16). The structure has a thermally and electrically conductive adhesive layer (13') on the surface of the flat substrate (11), in the area of the substrate connexion spots (13). Said substrates (10, 11) are brought together and linked in an electrically conductive and mechanically fixed way by said electrically conductive adhesive layers (13'), with their connexion spots (13, 16) facing each other.

**(57) Zusammenfassung**

Es wird ein Verfahren zur Herstellung einer hybriden Halbleiterstruktur und eine nach dem Verfahren hergestellte hybride Halbleiterstruktur vorgeschlagen. Die zusammengesetzte hybride Halbleiterstruktur enthält ein Trägerplattensubstrat (11) mit einer Anzahl von mindestens zwei Trägeranschlußflecken (13) und ein Halbleiterchip- oder Halbleiterwafersubstrat (10) mit einer Anzahl von mindestens zwei Chipanschlußflecken (16). Die Struktur ist gekennzeichnet durch je eine thermisch und elektrisch leitende Klebeschicht (13') auf der Oberfläche des Trägerplattensubstrats (11) innerhalb der Bereiche der Trägeranschlußflecken (13), wobei die genannten Substrate (10, 11) mit den genannten Anschlußflecken (13, 16) einander gegenüberliegend und in elektrisch leitender und mechanisch fester Verbindung durch die genannten elektrisch leitenden Klebeschichten (13') miteinander in Verbindung gebracht sind.

# **LEDIGLICH ZUR INFORMATION**

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	ES	Spanien	ML	Mali
AU	Australien	FI	Finnland	MN	Mongolei
BB	Barbados	FR	Frankreich	MR	Mauritanien
BE	Belgien	GA	Gabon	MW	Malawi
BF	Burkina Faso	GB	Vereinigtes Königreich	NL	Niederlande
BG	Bulgarien	GN	Guinea	NO	Norwegen
BJ	Benin	GR	Griechenland	PL	Polen
BR	Brasilien	HU	Ungarn	RO	Rumänien
CA	Kanada	IT	Italien	SD	Sudan
CF	Zentrale Afrikanische Republik	JP	Japan	SE	Schweden
CG	Kongo	KP	Demokratische Volksrepublik Korea	SN	Senegal
CH	Schweiz	KR	Republik Korea	SU <sup>+</sup>	Soviet Union
CI	Côte d'Ivoire	LI	Liechtenstein	TD	Tschad
CM	Kamerun	LK	Sri Lanka	TC	Togo
CS	Tschechoslowakei	LU	Luxemburg	US	Vereinigte Staaten von Amerika
DE	Deutschland	MC	Monaco		
DK	Dänemark	MG	Madagaskar		

<sup>+</sup> Die Bestimmung der "SU" hat Wirkung in der Russischen Föderation. Es ist noch nicht bekannt, ob solche Bestimmungen in anderen Staaten der ehemaligen Sowjetunion Wirkung haben.

Verfahren zur Herstellung einer hybriden Halbleiterstruktur und nach  
dem Verfahren hergestellte Halbleiterstruktur

---

Stand der Technik

Die Erfindung betrifft ein Verfahren zur Herstellung einer hybriden Halbleiterstruktur nach der Gattung des Hauptanspruchs sowie eine hybride Halbleiterstruktur nach der Gattung des unabhängigen Patentanspruchs 7.

Aus der US-PS 32 92 240 (siehe auch DE-PS 12 33 448) und aus der US-PS 33 03 393 sind bereits Verfahren zur Herstellung hybrider Halbleiterstrukturen nach der Gattung des Hauptanspruchs bekannt. Die Kontaktierung eines Halbleiterchipsubstrats auf einem Trägerplattensubstrat wird hierbei jeweils durch Metallkugel-Kontakte gebildet, die mit den Chipanschlußflecken des Halbleiterchipsubstrats einerseits und mit den zugehörigen Trägeranschlußflecken des Trägerplattensubstrats andererseits jeweils unter Verwendung von Blei-Zinn-Weichlot verlötet werden.

- 2 -

Eine Weiterbildung dieses bekannten Verfahrens der sogenannten Flip-Chip-Technologie besteht nach der US-PS 35 17 279 (siehe auch DE-AS 16 27 762) darin, daß auf die Metallkugeln verzichtet wird und auf die Chipanschlußflecken und/oder auf die Trägeranschlußflecken eine Weichlotschicht aufgebracht wird und die hybride Haltleiterstruktur allein mit Hilfe dieser Weichlotschicht im Reflow-Solder-Verfahren zusammengelötet wird.

Des weiteren ist es aus der DE-AS 16 14 374 bekannt, auf mindestens einen Teil der Oberfläche eines mit metallischen Anschlußflecken versehenen Halbleiterchipsubstrats eine Passivierungsschicht aufzubringen.

Ein Nachteil der bekannten Verfahren der Flip-Chip-Technologie besteht darin, daß es schwierig ist, das Weichlot auf die Chipanschlußflecken und/oder auf die Trägeranschlußflecken in einer Menge aufzubringen und beim Aufschmelzen dort zu behalten, mit der einerseits eine zuverlässige mechanische und elektrisch leitende Verbindung zwischen den betreffenden Anschlußflecken erreicht wird, andererseits ein Kurzschluß einander benachbarter Anschlußflecken vermieden wird. Ein weiterer Nachteil besteht darin, daß bei großflächigen Halbleiterchip- oder Halbleiterwafer substraten die hybride Halbleiterstruktur wegen der unterschiedlichen thermischen Ausdehnung der beiden Substrate einer Scherbelastung ausgesetzt ist, die durch die starre Lötverbindung der beiden Substrate bedingt ist.

#### Vorteile der Erfindung

Das erfindungsgemäße Verfahren mit den kennzeichnenden Merkmalen des Hauptanspruchs hat demgegenüber den Vorteil, daß infolge der Elastizität der verwendeten elektrisch leitenden Klebeschicht auch großflächige Halbleiterchip- oder Halbleiterwafer substrate in einer

- 3 -

hybriden Halbleiterstruktur untergebracht werden können, ohne daß dabei bei der fertigen hybriden Halbleiterstruktur Scherbelastungen auftreten, die durch die unterschiedliche thermische Ausdehnung der beiden Substrate bedingt sind. Besonders vorteilhafte Weiterbildungen des Verfahrens nach dem Hauptanspruch ergeben sich aus den Unteransprüchen 2 bis 6. Eine nach dem erfindungsgemäßen Verfahren hergestellte hybride Halbleiterstruktur ist durch den unabhängigen Patentanspruch 7 und durch den auf ihn zurückbezogenen Unteranspruch 8 gekennzeichnet.

#### Zeichnung

Anhand der Zeichnung wird die Erfindung näher erläutert. Es zeigen:

Figur 1 einen Teil einer bekannten, in Flip-Chip-Technologie ausgeführten hybriden Halbleiterstruktur in vereinfachter Darstellung im Schnitt,

Figur 2 einen Ausschnitt aus einer erfindungsgemäßen hybriden Halbleiterstruktur in perspektivischer Darstellung vor dem Aufsetzen des Halbleiterchip- oder Halbleiterwafersubstrats auf das Trägerplatten-substrat,

Figur 3 eine Schnittdarstellung eines für die Kontaktierung vorbereiteten Trägerplattensubstrats,

Figur 4a eine Schnittdarstellung eines für die Kontaktierung vorbereiteten, als Diode ausgebildeten Halbleiterchipsubstrats,

Figur 4b das Halbleiterchipsubstrat nach Figur 4a in der Draufsicht, entlang der Symmetrielinie abgeschnitten,



- 4 -

Figur 5 eine Draufsicht eines für die Kontaktierung vorbereiteten, als Transistor ausgebildeten Halbleiterchipsubstrats,

Figur 6 eine schematische Schnittdarstellung einer erfindungsgemäßen hybriden Halbleiterstruktur, bei der die beiden Substrate mit ihren Anschlußflecken relativ zueinander ausgerichtet und miteinander verklebt sind.

#### Beschreibung der Erfindung

Figur 1 zeigt einen Ausschnitt aus der aus der US-PS 33 03 393 bekannten, in Flip-Chip-Technologie ausgeführten hybriden Halbleiterstruktur. Die Kontaktierung des Halbleiterchipsubstrats 10 auf dem Trägerplattensubstrat 11 ist hierbei durch Metallkugel-Kontakte 12 gebildet, die an den in Figur 1 nicht dargestellten metallischen Anschlußflecken des Halbleiterchipsubstrats 10 angebracht sind. Die Metallkugel-Kontakte 12, die aus Blei-Zinn-Weichlot bestehen, sind mit den nicht dargestellten metallischen Chipanschlußflecken des Halbleiterchipsubstrats 10 und mit den zugeordneten metallischen Trägeranschlußflecken 13 des Trägerplattensubstrats 11 unter Verwendung von Blei-Zinn-Weichlot verlötet. Die metallischen Trägeranschlußflecken 13 stellen jeweils den Endbereich einer Leiterbahn 14 eines Schaltungsmusters dar, das auf das Trägerplattensubstrat 11 aufgebracht ist.

Figur 2 zeigt einen Ausschnitt aus einer erfindungsgemäßen hybriden Halbleiterstruktur in perspektivischer Darstellung vor dem Aufsetzen des Halbleiterchip- oder Halbleiterwafersubstrats 10 auf das Trägerplattensubstrat 11, das in Pfeilrichtung A der Figur 2 erfolgt. Mit gestricheltem Linienzug 10a ist hierbei auf dem Trägerplattensubstrat 11 diejenige Stelle angedeutet, auf der das

- 5 -

Halbleiterchip- oder Halbleiterwafersubstrat 10 beim Aufkleben auf das Trägerplattensubstrat 11 positioniert wird. Das Substrat 10 gemäß Figur 2 weist an seiner Unterseite eine Anzahl von Chipanschlußflecken 16 auf, die in Figur 2 ebenfalls gestrichelt angedeutet sind. Auf die die genannten Chipanschlußflecken 16 aufweisende Unterseite des Substrats 10 ist im Bereich außerhalb der Anschlußflecken 16 eine in Figur 2 nicht dargestellte Passivierungsschicht aufgebracht. Die Trägeranschlußflecken auf dem Trägerplattensubstrat 11 sind in Figur 2 wieder mit 13, die zugeordneten Leiterbahnen wieder mit 14 bezeichnet. Als Bestandteil eines Schaltungsmusters des Trägerplattensubstrats 11 ist in Figur 2 bei 17 beziehungsweise 18 ein Dickschichtwiderstand beziehungsweise ein Dünnschichtwiderstand angedeutet. Auf das das Schaltungsmuster aufweisende Trägerplattensubstrat 11 ist im Bereich außerhalb der Trägeranschlußflecken 13 eine in Figur 2 nicht dargestellte Passivierungsschicht aufgebracht. Um die elektrisch leitende Verbindung zwischen den metallischen Anschlußflecken 16 des Halbleiterchip- oder Halbleiterwafersubstrats 10 und den metallischen Anschlußflecken 13 des Trägerplattensubstrats 11 herstellen zu können, sind auf die Anschlußflecken 13 jeweils elektrisch leitende Klebeschichten 13' aufgebracht, die im Siebdruckverfahren hergestellt worden sind.

Beim Aufsetzen des Halbleiterchip- oder Halbleiterwafersubstrats 10 auf das Trägerplattensubstrat 11 in der in Figur 2 gestrichelt angedeuteten Lage wird die mechanisch feste und elektrisch leitende Verbindung zwischen den metallischen Chipanschlußflecken 16 des Substrats 10 und den metallischen Trägeranschlußflecken 13 des Substrats 11 dadurch hergestellt, daß die genannten Anschlußflecken 16 und 13 mittels der im Siebdruckverfahren aufgetragenen Klebeschichten 13' miteinander verklebt werden.

- 6 -

In Figur 3 ist ein Schnitt durch das Trägerplattensubstrat 11 der Figur 2 dargestellt, der zwei einander benachbarte Trägeranschlußflecken 13 schneidet. Im Bereich außerhalb der Trägeranschlußflecken 13 ist auf das Trägerplattensubstrat 11 ganzflächig eine Passivierungsschicht 40 aufgebracht. Auf das das Schaltungsmuster tragende, mit der Passivierungsschicht 40 versehene Trägerplattensubstrat 11 sind selektiv im Bereich der Trägeranschlußflecken 13 die elektrisch leitenden Klebeschichten 13' im Siebdruckverfahren aufgebracht worden. Man erkennt, daß die Klebeschichten 13' die Trägeranschlußflecken 13 jeweils nicht vollständig abdecken.

Der Aufbau eines bei dem erfindungsgemäßen Verfahren einsetzbaren Halbleiterchip- oder Halbleiterwafersubstrats 10 wird zunächst anhand der Figuren 4a und 4b am Ausführungsbeispiel eines Halbleiterchips substrats erläutert, das als in Planartechnik ausgeführte Diode ausgebildet ist. Die Erfindung ist jedoch keineswegs auf ein Verfahren zur Herstellung einer hybriden Halbleiterstruktur mit einem derart ausgebildeten Halbleiterchips substrat beschränkt. Die Erfindung ist vielmehr dazu geeignet und dient dem Zweck, die bekannten Verfahren der Flip-Chip-Technologie so abzuwandeln, daß sie auf hybride Halbleiterstrukturen ausgedehnt werden können, die besonders großflächige Halbleiterchip- oder Halbleiterwafersubstrate wie beispielsweise auch Transistoren, integrierte Schaltungen, SCRs enthalten.

In einen scheibenförmigen, aus einkristallinem Silicium bestehenden Halbleiterkörper 19 vom n-Leitfähigkeitstyp - eine inverse Schichtenfolge ist ebenfalls denkbar - ist von seiner Oberseite her eine p-leitende Anodenzone 20 und um diese Anodenzone herum eine  $n^+$ -dotierte ringförmige Kathodenzone 21 eindiffundiert. Als Folge dieser Diffusionsprozesse ist an der genannten Oberseite des

- 7 -

Halbleiterkörpers 19 eine Siliciumdioxidschicht 23 ausgebildet. Zur Kontaktierung der Anodenzone 20 und der Kathodenzone 21 sind in die Siliciumdioxidschicht 23 Kontaktfenster 24 beziehungsweise 25 eingeätzt. Das Kontaktfenster 25 umgibt hierbei das Kontaktfenster 24 ringförmig. Auf die Anodenzone 20 ist im Bereich des Kontaktfensters 24 eine Metallisierung 26 aufgebracht, auf die Kathodenzone 21 im Bereich des ringförmig ausgebildeten Kontaktfensters 25 eine Metallisierung 27. Die Metallisierungen 26, 27 erstrecken sich an ihren Rändern ein wenig auch über die Siliciumdioxidschicht 23. Die Metallisierungen 26, 27 können aus Metallen wie Aluminium, Nickel oder Gold oder aus Legierungen dieser Metalle mit anderen Metallen bestehen. Eine besonders geeignete Legierung besteht hierbei aus einer Aluminium-Nickel-Silber-Legierung.

Auf den mit der Siliciumdioxidschicht 23 und den Metallisierungen 26, 27 versehenen Halbleiterkörper 19 ist zum Beispiel mit Hilfe der Fotomaskierungstechnik eine Passivierungsschicht 28 aufgebracht worden. Die Passivierungsschicht 28 dient zur zusätzlichen Passivierung der Teile der Siliciumdioxidschicht 23, die nicht von den Metallisierungen 26, 27 bedeckt werden, und außerdem zur Definition der Flächenausdehnung der Chipanschlußflecken 16, indem diejenigen Oberflächenbereiche der Metallisierungen 26, 27, die nicht für den äußeren Chipanschluß herangezogen werden sollen, durch die Passivierungsschicht 28 abgedeckt werden. Die nicht durch die Passivierungsschicht 28 abgedeckten Teile der Metallisierungen 26, 27 stellen also die Chipanschlußflecken 16 dar.

In Figur 5 ist ein für die Kontaktierung vorbereitetes, als Transistor ausgebildetes Halbleiterchipsubstrat 10 in der Draufsicht dargestellt. Auch hier werden die Chipanschlußflecken 16 mit Hilfe einer Passivierungsschicht 28 als durch die Passivierungsschicht nicht abgedeckte Teilbereiche von Metallisierungen definiert, mit denen die entsprechenden Zonen (Emitter, Basis und Kollektor) des Transistors kontaktiert sind.

- 8 -

Die Herstellung der erfindungsgemäßen hybriden Halbleiterstruktur geschieht in folgender Weise:

Auf das mit dem Schaltungsmuster und der Passivierungsschicht 40 versehene Trägerplattensubstrat 11 werden zuerst mit Hilfe des Siebdruckverfahrens innerhalb der Bereiche der Trägeranschlußflecken 13 elektrisch leitende Klebeschichten 13' aufgebracht. Dann wird auf das so vorbereitete Trägerplattensubstrat 11 das Halbleiterchip- oder Halbleiterwafersubstrat 10 derart aufgesetzt, daß die Chipanschlußflecken 16 mit den Trägeranschlußflecken 13 mittels der Klebeschichten 13' in Berührung kommen. Durch Aneinanderdrücken der beiden Substrate 10, 11 werden die Chipanschlußflecken 16 mit den Trägeranschlußflecken 13 mit Hilfe der Klebeschichten 13' verklebt (Figur 6).

Die nassen Klebeschichten 13' werden durch den Aufsetzdruck des "face-down"-montierten Halbleiterchipsubstrats 10 so weit verbreitert, daß die gesamten Oberflächen der Anschlußflecken 13, 16 benetzt werden, ohne daß dabei ein ausreichender Abstand zu potentialfremden Anschlußflecken unterschritten wird. Nach dem Aushärten der Klebeschichten 13' kann damit eine hinreichend geringe Schichtdicke (zum Beispiel  $d = 45 \text{ nm}$  bei kreisförmigem Anschlußfleck mit  $r > 280 \text{ nm}$ ) mit einem für Halbleiter typischen  $R_{th} < 1,3 \text{ K/W}$  realisiert werden.

Dem Aufsetzdruck wirkt die Kohäsion des nassen Leitklebers entgegen. Diese Wirkung kann bei wenigpoligen Bauelementen (zum Beispiel Dioden, Transistoren) durch zusätzliche Blindkontakte vergrößert und stabilisiert werden, wenn die Anschlußflecken 16 beziehungsweise 13 nicht gleichmäßig über die Oberfläche des Halbleiterchip- oder Halbleiterwafersubstrats 10 beziehungsweise des Trägerplattensubstrats 11 verteilt sein sollten und deshalb die

- 9 -

Gefahr besteht, daß sich die beiden Substrate 10, 11 beim Aneinanderdrücken verkanten. Die Blindkontakte bestehen darin, daß außer den zur Kontaktierung dienenden Klebeschichten 13' auf die Oberfläche des Trägerplattensubstrats 11 im Bereich außerhalb der Trägeranschlußflecken 13 noch eine oder mehrere weitere Klebeschichten 130' aufgebracht werden (Figur 6), die gemeinsam mit den Klebeschichten 13' im Siebdruckverfahren hergestellt werden. Die so gebildeten Blindkontakte wirken dann beim Aneinanderdrücken der beiden Substrate wie Abstandshalter, so daß ein gleichmäßig über die Gesamtheit der Kontakte verteilter Aufsetzdruck entsteht. Außerdem entstehen durch die Blindkontakte zusätzliche Übergangsstellen zur Wärmeableitung.

Bei wenigpoligen Bauelementen ist der durch die minimalen Größen der Anschlußflecken und Abstände vorgegebene Flächenbedarf zwar geringfügig größer als bei bisherigen "face-up"-montierten Halbleitern, bei Berücksichtigung der dabei erforderlichen Bondverbindungen aber wesentlich kleiner. Bei vielpoligen Bauelementen können die Außenanschlüsse bei entsprechendem IC-Design matrixförmig über die Oberfläche verteilt angeordnet werden. Dann ist der Platzbedarf im Vergleich zu peripher angeordneten "Bondpads" erheblich geringer und nur noch durch die auf dem Substrat mögliche Anschlußdichte der Leiterbahnen bestimmt.

Das Trägerplattensubstrat 11 kann aus Aluminiumoxid ( $\text{Al}_2\text{O}_3$ ) oder aus Aluminiumnitrid ( $\text{AlN}$ ) oder aus Glas oder aus jeder geeigneten Schichtstruktur (zum Beispiel Tape on Substrate, Multilayer), mit der eine hinreichend ebene Oberfläche erzeugt werden kann, bestehen.

### Ansprüche

1. Verfahren zur Herstellung einer hybriden Halbleiterstruktur mit einem Trägerplattensubstrat (11), einer Anzahl von mindestens zwei Trägeranschlußflecken (13) auf einer Oberfläche des Trägerplattensubstrats (11), einem Halbleiterchip- oder Halbleiterwafersubstrat (10), einer Anzahl von mindestens zwei Chipanschlußflecken (16) auf einer Oberfläche des Halbleiterchip- oder Halbleiterwafersubstrats (10), gekennzeichnet durch die folgenden Verfahrensschritte:

a) Selektives Aufbringen je einer thermisch und elektrisch leitenden Klebeschicht (13') auf die Oberfläche des Trägerplattensubstrats (11) innerhalb der Bereiche der Trägeranschlußflecken (13),

b) Ausrichten der Oberflächen der beiden genannten Substrate (11, 10) relativ zueinander derart, daß ihre jeweiligen Anschlußflecken (13, 16) einander zugewandt sind und miteinander mindestens annähernd fluchten,

- 11 -

c) Aneinanderdrücken der beiden Substrate (11, 10) derart, daß die jeweils mit der thermisch und elektrisch leitenden Klebeschicht (13') versehenen Trägeranschlußflecken (13) des Trägerplattensubstrats (11) gegen die Chipanschlußflecken (16) des Halbleiterchip- oder Halbleiterwafer substrats (10) gedrückt werden, um dadurch die Anschlußflecken (13, 16) der beiden Substrate (11, 10) derart elektrisch aneinander anzuschließen, daß eine elektrisch leitende und mechanisch feste Verbindung zwischen den Trägeranschlußflecken (13) und den Chipanschlußflecken (16) gebildet wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das selektive Aufbringen der thermisch und elektrisch leitenden Klebeschicht (13') auf die Trägeranschlußflecken (13) im Siebdruckverfahren erfolgt.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß es den Schritt der Bildung einer Passivierungsschicht (40) auf der genannten Oberfläche des Trägerplattensubstrats (11) einschließt, wobei die Trägeranschlußflecken (13) frei von der Passivierungsschicht (40) bleiben, und daß anschließend der genannte Schritt des selektiven Aufbringens der elektrisch leitenden Klebeschicht (13') auf die Trägeranschlußflecken (13) erfolgt.

4. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß es den Schritt der Bildung einer Passivierungsschicht (28) auf der genannten Oberfläche des Halbleiterchip- oder Halbleiterwafer substrats (10) einschließt, wobei die Chipanschlußflecken (16) frei von der Passivierungsschicht (28) bleiben, und daß anschließend der genannte Schritt des Ausrichtens der Oberflächen der beiden genannten Substrate (11, 10) relativ zueinander erfolgt.



- 12 -

5. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß die Passivierungsschicht (40) eine Glasschicht, vorzugsweise eine Phosphorglasschicht, oder eine Polymerschicht ist.

6. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß die Passivierungsschicht (28) eine Glasschicht, vorzugsweise eine Siliziumdioxidschicht, oder eine Siliziumnitridschicht oder eine Polymerschicht, vorzugsweise eine Polyimidschicht, ist.

7. Zusammengesetzte hybride Halbleiterstruktur mit einem Trägerplattensubstrat (11), einer Anzahl von mindestens zwei Trägeranschlußflecken (13) auf einer Oberfläche des Trägerplattensubstrats (11), einem Halbleiterchip- oder Halbleiterwafersubstrat (10), einer Anzahl von mindestens zwei Chipanschlußflecken (16) auf einer Oberfläche des Halbleiterchip- oder Halbleiterwafersubstrats (10), gekennzeichnet durch je eine thermisch und elektrisch leitende Klebeschicht (13') auf der Oberfläche des Trägerplattensubstrats (11) innerhalb der Bereiche der Trägeranschlußflecken (13), wobei die genannten Substrate (10, 11) mit den genannten Anschlußflecken (13, 16) einander gegenüberliegend und in elektrisch leitender und mechanisch fester Verbindung durch die genannten elektrisch leitenden Klebeschichten (13') miteinander in Verbindung gebracht sind.

8. Struktur nach Anspruch 7, gekennzeichnet durch mindestens eine weitere thermisch und elektrisch leitende Klebeschicht (130') auf der Oberfläche des Trägerplattensubstrats (11) außerhalb der Bereiche der Trägeranschlußflecken (13) zur Verbesserung der mechanisch festen Verbindung der genannten Substrate (10, 11) und zur Verbesserung der Wärmeableitung.

FIG. 1

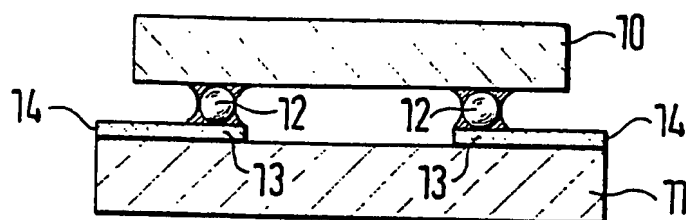


FIG. 2

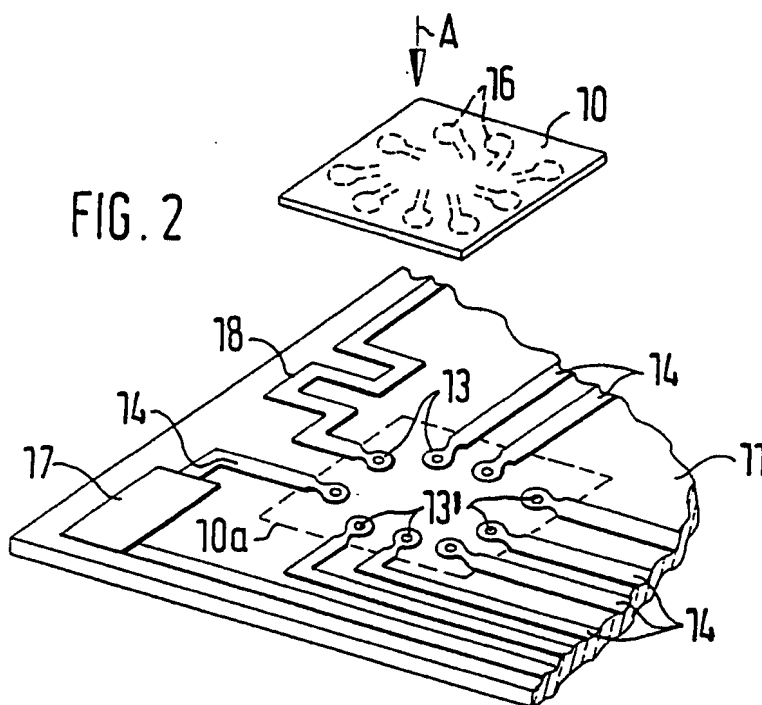
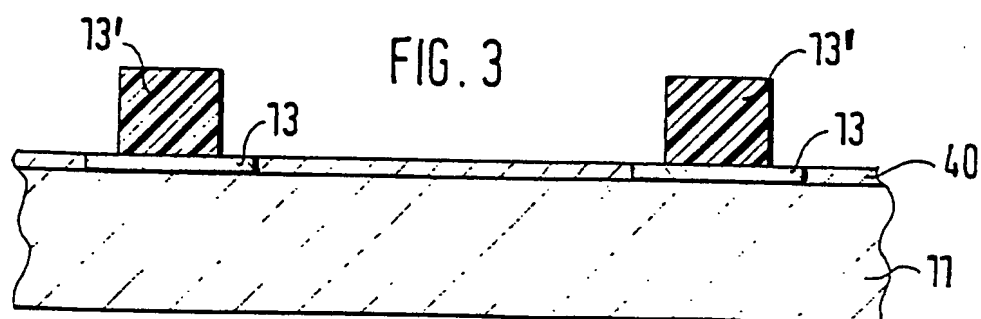


FIG. 3



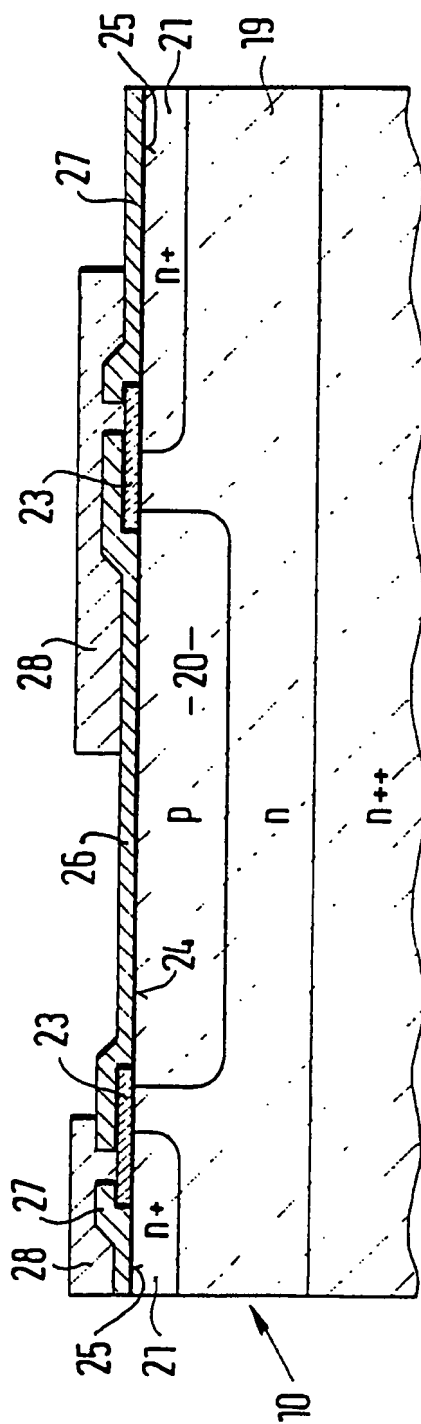


FIG. 4a

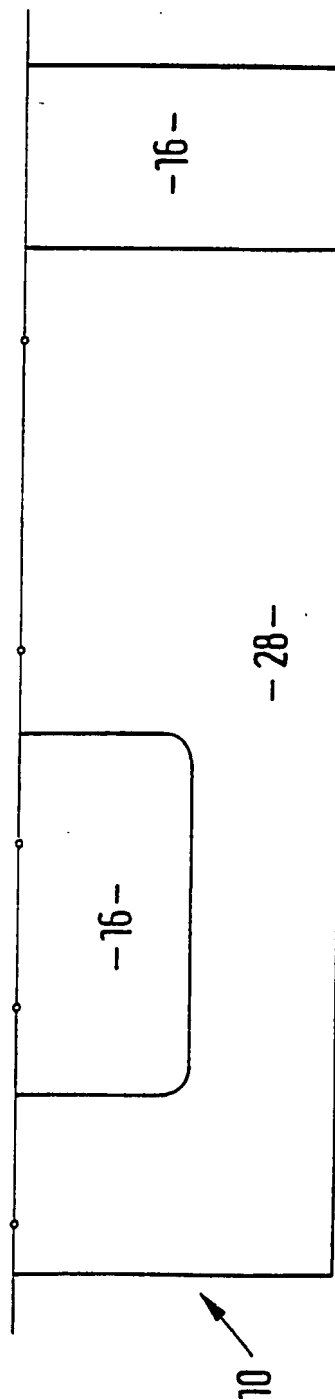


FIG. 91F

FIG. 5

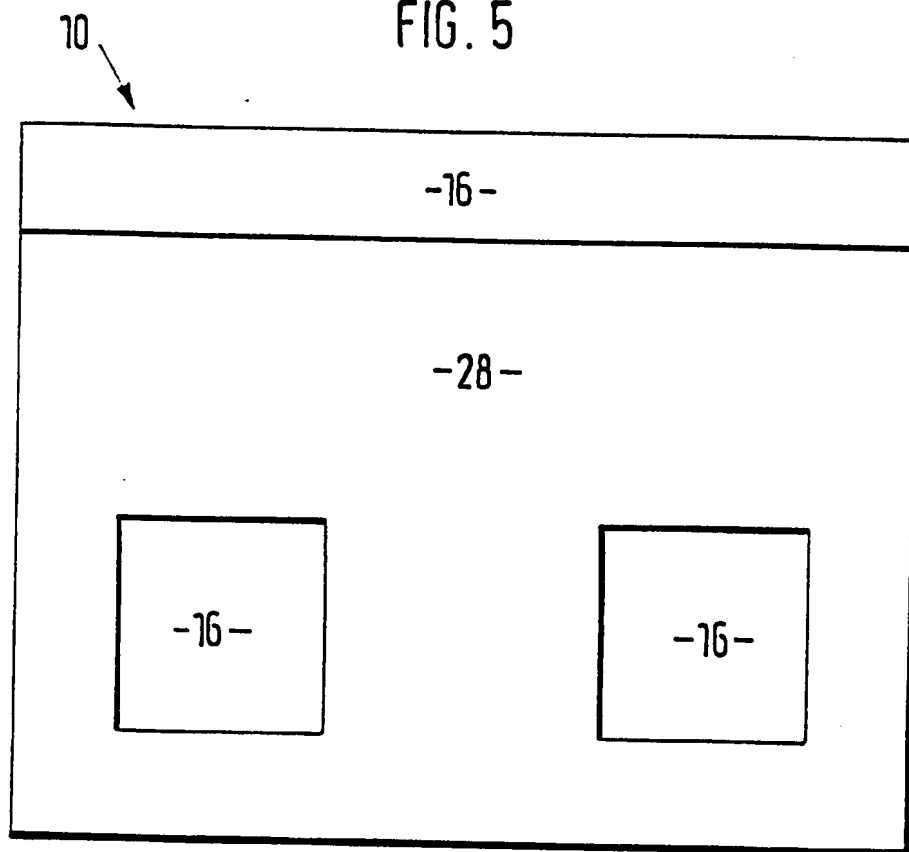
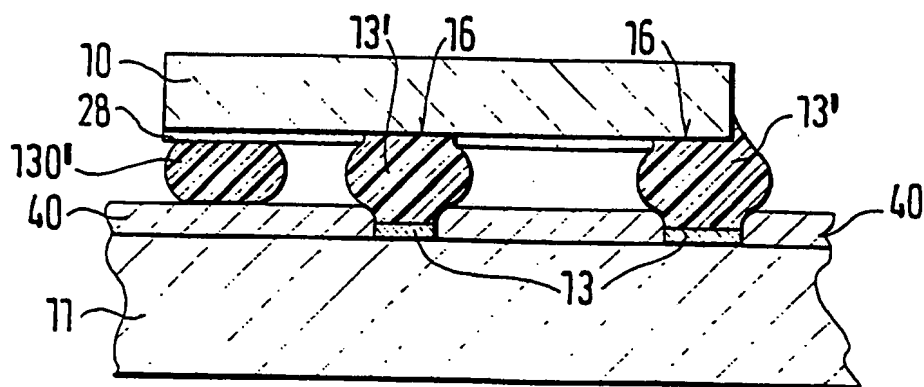


FIG. 6



# INTERNATIONAL SEARCH REPORT

International Application No PCT/DE 91/00789

<b>I. CLASSIFICATION OF SUBJECT MATTER</b> (If several classification symbols apply, indicate all) <sup>6</sup> According to International Patent Classification (IPC) or to both National Classification and IPC		
Int. Cl. <sup>5</sup> H01L21/60		
<b>II. FIELDS SEARCHED</b>		
Minimum Documentation Searched <sup>7</sup>		
Classification System	Classification Symbols	
Int. Cl. <sup>5</sup>	H01L	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched <sup>8</sup>		
<b>III. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <sup>9</sup>		
Category <sup>9</sup>	Citation of Document, <sup>11</sup> with indication, where appropriate, of the relevant passages <sup>12</sup>	Relevant to Claim No. <sup>13</sup>
Y	DE, A, 4 008 624 (BOSCH) 11 October 1990 see claims 1,4-6	1,7
A	—	3,4,6
Y	FR, A, 2 492 164 (R.T.C.) 16 April 1982 see page 4, line 8 - line 16; claim 1	1,7
A	—	2
A	FEINWERKTECHNIK + MESSTECHNIK. vol. 92, No. 2, March 1984, MÜNCHEN, DE pages 67 - 69; M. HOF: 'Klebertechniken in der Mikroelektronik'	1,2,7,8
A	EP, A, 0 265 077 (SHELD AHL INC.) 27 April 1988	—
A	DE, A, 2 658 302 (SUWA SEIKOSHA) 7 July 1977	—
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p><sup>10</sup> Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="width: 45%;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&amp;" document member of the same patent family</p> </div> </div>		
<b>IV. CERTIFICATION</b>		
Date of the Actual Completion of the International Search		Date of Mailing of this International Search Report
22 January 1992 (22.01.92)		29 January 1992 (29.01.92)
International Searching Authority		Signature of Authorized Officer
EUROPEAN PATENT OFFICE		

**ANNEX TO THE INTERNATIONAL SEARCH REPORT  
ON INTERNATIONAL PATENT APPLICATION NO. DE 9100789  
SA 51839**

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report. The members are as contained in the European Patent Office EDP file on  
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information. 22/01/92

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE-A-4008624	11-10-90	JP-A- 3018040	25-01-91
FR-A-2492164	16-04-82	DE-A- 3140348	26-08-82
		GB-A, B 2090071	30-06-82
		JP-B- 1028502	02-06-89
		JP-C- 1545916	28-02-90
		JP-A- 57099750	21-06-82
		US-A- 4442966	17-04-84
EP-A-0265077	27-04-88	JP-A- 63164180	07-07-88
DE-A-2658302	07-07-77	JP-A- 52079773	05-07-77
		GB-A- 1525148	20-09-78

## INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 91/00789

<b>I. KLASSEFIZIKATION DES ANMELDUNGSGEGENSTANDS</b> (bei mehreren Klassifikationsymbolen sind alle anzugeben) <sup>6</sup>		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
Int.Kl. 5 H01L21/60		
<b>II. RECHERCHIERTE SACHGEBIETE</b>		
Recherchierter Mindestprüfstoff <sup>7</sup>		
Klassifikationssystem	Klassifikationsymbole	
Int.Kl. 5	H01L	
Recherchierte nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Sachgebiete fallen <sup>8</sup>		
<b>III. EINSCHLAGIGE VERÖFFENTLICHUNGEN</b> <sup>9</sup>		
Art. <sup>9</sup>	Kennzeichnung der Veröffentlichung <sup>11</sup> , soweit erforderlich unter Angabe der maßgeblichen Teile <sup>12</sup>	Betr. Anspruch Nr. <sup>13</sup>
Y	DE,A,4 008 624 (BOSCH) 11. Oktober 1990 siehe Ansprüche 1,4-6	1,7
A	---	3,4,6
Y	FR,A,2 492 164 (R.T.C.) 16. April 1982 siehe Seite 4, Zeile 8 - Zeile 16; Anspruch 1	1,7
A	---	2
A	FEINWERKTECHNIK + MESSTECHNIK. Bd. 92, Nr. 2, März 1984, MÜNCHEN, DE Seiten 67 - 69; M. HOF: 'Klebertechniken in der Mikroelektronik'	1,2,7,8
A	EP,A,0 265 077 (SHELD AHL INC.) 27. April 1988	
A	DE,A,2 658 302 (SUWA SEIKOSHA) 7. Juli 1977	
	---	
<p><sup>10</sup> Besondere Kategorien von angegebenen Veröffentlichungen <sup>10</sup>:</p> <p>"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>"E" Älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p> <p>"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</p> <p>"A" Veröffentlichung, die Mitglied derselben Patentfamilie ist</p>		
<b>IV. BESCHENIGUNG</b>		
Datum des Abschlusses der internationalen Recherche	Absenddatum des internationalen Recherchenberichts	
22. JANUAR 1992	29. 01. 92	
Internationale Recherchenbehörde	Unterschrift des bevollmächtigten Bediensteten	
EUROPÄISCHES PATENTAMT	Patricia Smith <i>Pl. Smith</i>	

**ANHANG ZUM INTERNATIONALEN RECHERCHENBERICHT  
ÜBER DIE INTERNATIONALE PATENTANMELDUNG NR.**

DE 9100789  
SA 51839

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten internationalen Recherchenbericht angeführten Patentedokumente angegeben.

Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am  
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

22/01/92

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE-A-4008624	11-10-90	JP-A- 3018040	25-01-91
FR-A-2492164	16-04-82	DE-A- 3140348	26-08-82
		GB-A, B 2090071	30-06-82
		JP-B- 1028502	02-06-89
		JP-C- 1545916	28-02-90
		JP-A- 57099750	21-06-82
		US-A- 4442966	17-04-84
EP-A-0265077	27-04-88	JP-A- 63164180	07-07-88
DE-A-2658302	07-07-77	JP-A- 52079773	05-07-77
		GB-A- 1525148	20-09-78

EPO FORM P003

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82